

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-230383

(43)Date of publication of application : 24.08.2001

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/28
H01L 21/768

(21)Application number : 2000-038432

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.02.2000

(72)Inventor : UCHIYAMA HIROYUKI

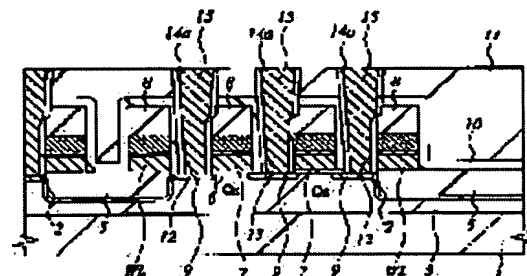
(54) METHOD OF MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To promote the high integration and performance elevation of a semiconductor integrated circuit device composed of a MISFET.

SOLUTION: In a self align contact(SAC) process, the bores of contact holes 12 and 13 are widened by covering the top of a gate electrode 7 with a silicon nitride film 8, and covering the top and flank of the gate electrode 7 with a silicon nitride film 10. Moreover, the short margin between the gate electrode 7 and a plug 15 is secured by forming side wall spacers 14a at their flanks after formation of the contact holes 12 and 13.

Fig. 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230383

(P2001-230383A)

(43) 公開日 平成13年 8月24日 (2001. 8. 24)

(51) Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 27/108
21/8242
21/28
21/768

H 0 1 L 21/28
27/10
21/90

L 4 M 1 0 4
6 2 1 C 5 F 0 3 3
C 5 F 0 8 3

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号

特願2000-38432(P2000-38432)

(22) 出願日

平成12年 2月16日 (2000. 2. 16)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 内山 博之

東京都小平市上水本町五丁目20番 1 号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

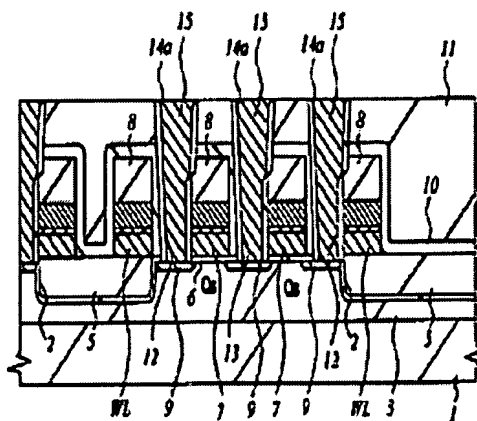
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 MISFETによって構成される半導体集積回路装置の高集積化、高性能化を推進する

【解決手段】 セルフアライン・コンタクト (SAC) プロセスにおいて、ゲート電極 7 の上部を酸化シリコン膜 8 で覆い、ゲート電極 7 の上部および側面を酸化シリコン膜 10 で覆うことによってコンタクトホール 12、13 の径を広くする。また、コンタクトホール 12、13 を形成した後、それらの側面にサイドウォールスペーサ 14a を形成することによってゲート電極 7 とプラグ 15 とのショットマージンを確保する。

図 6



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体基板の主面上に第1導電膜を形成し、前記第1導電膜の上部に窒化シリコン系の第1絶縁膜を形成する工程、(b) 前記第1絶縁膜および前記第1導電膜をパターンニングすることによって、上面が前記第1絶縁膜によって覆われたゲート電極を形成する工程、(c) 前記ゲート電極の上部および側面を覆う酸化シリコン系の第2絶縁膜を形成した後、前記第2絶縁膜の上部に酸化シリコン系の第3絶縁膜を形成する工程、(d) 前記第1絶縁膜とのエッチング速度差を利用して前記ゲート電極のスペースの前記第3絶縁膜および前記第2絶縁膜を選択的にドライエッチングすることによって、前記半導体基板の表面に達するコンタクトホールを形成する工程、(e) 前記第3絶縁膜の上部および前記コンタクトホールの内部に形成した第4絶縁膜を異方的にエッチングすることによって、前記コンタクトホールの側面にサイドウォールスペースを形成する工程、(f) 前記コンタクトホールの内部に第2導電膜を埋め込む工程。

【請求項 2】 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体基板の主面上に第1導電膜を形成し、前記第1導電膜の上部に窒化シリコン系の第1絶縁膜を形成する工程、(b) 前記第1絶縁膜および前記第1導電膜をパターンニングすることによって、上面が前記第1絶縁膜によって覆われたゲート電極を形成する工程、(c) 前記ゲート電極の上部および側面を窒化シリコン系の第5絶縁膜で覆う工程、(d) 前記ゲート電極の上部および側面を覆う酸化シリコン系の第2絶縁膜を形成した後、前記第2絶縁膜の上部に酸化シリコン系の第3絶縁膜を形成する工程、(e) 前記第1絶縁膜とのエッチング速度差を利用して前記ゲート電極のスペースの前記第3絶縁膜および前記第2絶縁膜を選択的にドライエッチングすることによって、前記第5絶縁膜の表面に達するコンタクトホールを形成した後、前記コンタクトホールの底部に露出した前記第5絶縁膜をエッチングすることによって、前記半導体基板の表面を露出させる工程、(f) 前記第3絶縁膜の上部および前記コンタクトホールの内部に形成した第4絶縁膜を異方的にエッチングすることによって、前記コンタクトホールの側面にサイドウォールスペースを形成する工程、(g) 前記コンタクトホールの内部に第2導電膜を埋め込む工程。

【請求項 3】 メモリセル選択用MISFETとその上部に形成され、前記メモリセル選択用MISFETのソース、ドレインの一方と電気的に接続される情報蓄積用容量素子とを有する半導体集積回路装置の製造方法であって、(a) 半導体基板の主面上に第1導電膜を形成し、前記第1導電膜の上部に窒化シリコン系の第1絶縁膜を形成する工程、(b) 前記第1絶縁膜および前記第

1導電膜をパターンニングすることによって、上面が前記第1絶縁膜によって覆われたゲート電極を形成する工程、(c) 前記半導体基板の主面にソースおよびドレインを構成する半導体領域を形成することによって、前記ゲート電極と前記半導体領域とを有するメモリセル選択用MISFETを形成する工程、(d) 前記ゲート電極の上部および側面を覆う酸化シリコン系の第2絶縁膜を形成した後、前記第2絶縁膜の上部に酸化シリコン系の第3絶縁膜を形成する工程、(e) 前記第1絶縁膜とのエッチング速度差を利用して前記ゲート電極のスペースの前記第3絶縁膜および前記第2絶縁膜を選択的にドライエッチングすることによって、前記半導体基板の表面に達するコンタクトホールを形成する工程、(f) 前記第3絶縁膜の上部および前記コンタクトホールの内部に形成した第4絶縁膜を異方的にエッチングすることによって、前記コンタクトホールの側面にサイドウォールスペースを形成する工程、(g) 前記コンタクトホールの内部に第2導電膜を埋め込んだ後、前記コンタクトホールの上部に、前記第2導電膜を介して前記メモリセル選択用MISFETのソース、ドレインの一方と電気的に接続される情報蓄積用容量素子を形成する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、微細なMISFET(Metal Insulator Semiconductor Field Effect Transistor)を有する半導体集積回路装置の製造に適用して有効な技術に関する。

【0002】

【従来の技術】微細なデザインルールで形成されるMISFETのソース、ドレインとメタル配線とを電気的に接続するには、ゲート電極の上面と側面とに窒化シリコン系の絶縁膜を形成し、この絶縁膜とその上部に形成した酸化シリコン系の絶縁膜とのエッチング速度差を利用してドライエッチングによって、ゲート電極との合わせ余裕を必要とせずにコンタクトホールを形成する、いわゆるセルフアライン・コンタクト(Self Align Contact; SAC)技術が使用されている(例えば特開平9-252098号公報)。

【0003】

【発明が解決しようとする課題】上記したSAC技術では、ゲート電極の上面と側面とを覆う窒化シリコン系の絶縁膜とゲート電極のスペースに埋め込む酸化シリコン系の絶縁膜との占有比率は、両者のエッチング選択比によって規定されるため、MISFETが微細な場合でもこの占有比率を変えることはできない。

【0004】そのため、MISFETの微細化に伴ってゲート電極のスペースが狭くなると、これらの絶縁膜は共に寸法が縮小される結果、ゲート電極のスペースにおける酸化シリコン系の絶縁膜のエッチング速度が低下す

ると共に、ゲート電極の側面を覆う窒化シリコン系の絶縁膜の薄層化によって、コンタクトホールに埋め込まれる導電膜とゲート電極とのショートマージンが低下する。

【0005】また、上記したSAC技術では、ゲート電極の上面と側面とを酸化シリコンよりも緻密な窒化シリコン系の絶縁膜で覆うため、その高ストレスによって基板内の接合リーク電流の増大を招くという問題がある。また、窒化シリコン膜は酸化シリコン膜に比べて誘電率が高いため、ゲート電極の寄生容量が増大するという問題もある。

【0006】本発明の目的は、MISFETによって構成される半導体集積回路装置の高集積化を推進する技術を提供することにある。

【0007】本発明の他の目的は、MISFETによって構成される半導体集積回路装置の高性能化を推進する技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体集積回路装置の製造方法は、以下の工程を含む。

(a) 半導体基板の主面上に第1導電膜を形成し、前記第1導電膜の上部に窒化シリコン系の第1絶縁膜を形成する工程、(b) 前記第1絶縁膜および前記第1導電膜をパターンニングすることによって、上面が前記第1絶縁膜によって覆われたゲート電極を形成する工程、(c) 前記ゲート電極の上部および側面を覆う酸化シリコン系の第2絶縁膜を形成した後、前記第2絶縁膜の上部に酸化シリコン系の第3絶縁膜を形成する工程、(d) 前記第1絶縁膜とのエッチング速度差を利用して前記ゲート電極のスペースの前記第3絶縁膜および前記第2絶縁膜を選択的にドライエッチングすることによって、前記半導体基板の表面に達するコンタクトホールを形成する工程、(e) 前記第3絶縁膜の上部および前記コンタクトホールの内部に形成した第4絶縁膜を異方的にエッチングすることによって、前記コンタクトホールの側面にサイドウォールスペースを形成する工程、(f) 前記コンタクトホールの内部に第2導電膜を埋め込む工程。

(2) 本発明の半導体集積回路装置の製造方法は、以下の工程を含む。

(a) 半導体基板の主面上に第1導電膜を形成し、前記第1導電膜の上部に窒化シリコン系の第1絶縁膜を形成する工程、(b) 前記第1絶縁膜および前記第1導電膜をパターンニングすることによって、上面が前記第1絶縁膜によって覆われたゲート電極を形成する工程、(c)

前記ゲート電極の上部および側面を窒化シリコン系の第5絶縁膜で覆う工程、(d) 前記ゲート電極の上部および側面を覆う酸化シリコン系の第2絶縁膜を形成した後、前記第2絶縁膜の上部に酸化シリコン系の第3絶縁膜を形成する工程、(e) 前記第1絶縁膜とのエッチング速度差を利用して前記ゲート電極のスペースの前記第3絶縁膜および前記第2絶縁膜を選択的にドライエッチングすることによって、前記第5絶縁膜の表面に達するコンタクトホールを形成した後、前記コンタクトホールの底部に露出した前記第5絶縁膜をエッチングすることによって、前記半導体基板の表面を露出させる工程。

(f) 前記第3絶縁膜の上部および前記コンタクトホールの内部に形成した第4絶縁膜を異方的にエッチングすることによって、前記コンタクトホールの側面にサイドウォールスペースを形成する工程、(g) 前記コンタクトホールの内部に第2導電膜を埋め込む工程。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において同一機軸を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0011】(実施の形態1) 本発明の実施の形態1であるDRAM (Dynamic Random Access Memory) の製造方法を図1～図7を用いて工程順に説明する。

【0012】まず、図1に示すように、例えばp型の単結晶シリコンからなる半導体基板(以下、単に基板という)1の主面に素子分離溝2を形成した後、基板1にp型不純物(ホウ素(B))をイオン注入してp型ウエル3を形成する。素子分離溝2を形成するには、例えば基板1の素子分離領域をエッチングして溝を形成した後、溝の内部および基板1上にCVD (Chemical Vapor Deposition) 法で酸化シリコン膜5を堆積し、続いて溝の外部の酸化シリコン膜5を化学機械研磨(Chemical Mechanical Polishing; CMP)法で除去する。

【0013】次に、基板1をスチーム酸化してp型ウエル3の表面にゲート酸化膜6を形成した後、ゲート酸化膜6上にゲート電極7(ワード線WL)を形成する。ゲート電極7(ワード線WL)を形成するには、例えば基板1上にリン(P)などのn型不純物をドーブした多結晶シリコン膜をCVD法で堆積し、続いてその上部にスパッタリング法で窒化タングステン(WN)膜およびタングステン(W)膜を堆積し、さらにその上部にCVD法で窒化シリコン膜8を堆積した後、フォトリソist膜をマスクにしたドライエッチングでこれらの膜をパターンニングする。

【0014】次に、図2に示すように、ゲート電極7の両側のp型ウエル3にリン(P)などのn型不純物をイオン注入してn型半導体領域(ソース、ドレイン)9を形成する。ここまでの工程により、メモリセルの一部を構成するメモリセル選択用MISFET Qsが完成す

る。

【0015】次に、ゲート電極7（ワード線WL）の上部および側面を覆う酸化シリコン膜10をCVD法で堆積し、続いて酸化シリコン膜10の上部に厚い酸化シリコン膜11を堆積した後、酸化シリコン膜11の表面を化学機械研磨法で平坦化する。酸化シリコン膜10の上部の厚い酸化シリコン膜11は、側面が酸化シリコン膜10で覆われたゲート電極7（ワード線WL）の狭いスペースを隙間なく埋め込む必要があるため、例えばテトラエトキシシランとオゾンとを用いたCVD法によって形成される酸化シリコン膜のように、埋め込み特性に優れた酸化シリコン膜によって構成する。また、この酸化シリコン膜11は、BPSG膜やSOG膜のようなリフロー性の高い酸化シリコン系絶縁膜で構成してもよい。

【0016】次に、図3に示すように、フォトリソist膜（図示せず）をマスクにしてn型半導体領域（ソース、ドレイン）9の上部の酸化シリコン膜11、10をドライエッチングすることによってゲート電極7のスペースにコンタクトホール12、13を形成する。このドライエッチングは、酸化シリコンに比べて酸化シリコンのエッチング速度が大きくなるような条件で行い、ゲート電極7の上部の酸化シリコン膜8が深く削られないようにする。

【0017】本実施形態では、ゲート電極7の側面を酸化シリコン膜10で覆っているために、上記のエッチングを行うとゲート電極7の側面の酸化シリコン膜10も削られる。そのため、ゲート電極7の側面を酸化シリコン膜で覆う従来のSACプロセスに比べてコンタクトホール12、13の径を広くすることができる。ただし、ゲート電極7の側面の酸化シリコン膜10が削られるために、コンタクトホール12、13の側面にゲート電極7の側面の一部が露出する。

【0018】次に、図4に示すように、酸化シリコン膜11の上部およびコンタクトホール12、13の内部にCVD法で酸化シリコン膜14を堆積した後、図5に示すように、酸化シリコン膜14を異方的にエッチングすることによって、酸化シリコン膜11の上部およびコンタクトホール12、13の底部の酸化シリコン膜14を除去し、コンタクトホール12、13の側面にゲート電極7の側面を覆うサイドウォールスペース14aを形成する。

【0019】次に、図6に示すように、コンタクトホール12、13の内部にプラグ15を形成する。プラグ15を形成するには、例えば酸化シリコン膜11の上部およびコンタクトホール12、13の内部にリン（P）などのn型不純物をドーパした低抵抗多結晶シリコン膜をCVD法で堆積した後、酸化シリコン膜11の上部の多結晶シリコン膜をドライエッチング（または化学機械研磨法）で除去する。このとき、コンタクトホール12、13の側面にはサイドウォールスペース14aが形成さ

れているため、ゲート電極7とプラグ15とのショートマージンを十分に確保することができる。

【0020】次に、図7に示すように、酸化シリコン膜11の上部にCVD法で酸化シリコン膜16を堆積し、続いて酸化シリコン膜16の上部に図示しないビット線を形成した後、ビット線の上部にCVD法で酸化シリコン膜17を堆積し、さらにコンタクトホール12の上部の酸化シリコン膜17、16にスルーホール18を形成してその内部にプラグ19を形成する。

【0021】次に、酸化シリコン膜17の上部にCVD法で酸化シリコン膜20および酸化シリコン膜21を順次堆積し、続いて酸化シリコン膜および酸化シリコン膜20をエッチングして溝22を形成した後、溝22の内部に下部電極23、容量絶縁膜24および上部電極25からなる情報蓄積用容量素子Cを形成することによって、メモリセルがほぼ完成する。情報蓄積用容量素子Cの下部電極23は、例えばn型不純物をドーパした低抵抗多結晶シリコン膜で構成する。また、容量絶縁膜24は例えば酸化タンタル（Ta₂O₅）膜で構成し、上部電極25は例えば酸化チタン（TiN）膜で構成する。

【0022】上記のように構成された本実施形態によれば、ゲート電極7の側面を酸化シリコン膜10で覆うことにより、従来のSACプロセスに比べてコンタクトホール12、13の径を広くすることができ、かつゲート電極7の側面にサイドウォールスペース14aを形成することにより、ゲート電極7とプラグ15とのショートマージンを十分に確保することができる。これにより、SACプロセスの歩留まりが向上するので、DRAMの微細化、高集積化を推進することができる。

【0023】また、ゲート電極7の側面を酸化シリコン膜10で覆うことにより、従来のSACプロセスに比べて基板1内の接合リーク電流の低減およびゲート電極7の寄生容量の低減を図ることができるので、DRAMの高信頼化を図ることができる。なお、接合リーク電流や寄生容量が無視できるような場合は、コンタクトホール12、13の側面のサイドウォールスペース14aを酸化シリコン系の絶縁膜で構成してもよい。この場合でも、SACプロセスの歩留まりが向上するので、DRAMの微細化、高集積化を推進することができる。

【0024】（実施の形態2）本発明の実施の形態1であるDRAM（Dynamic Random Access Memory）の製造方法を図8～図11を用いて工程順に説明する。

【0025】まず、図8に示すように、前記実施の形態1と同様の方法でメモリセル選択用MISFETQsを形成した後、図9に示すように、ゲート電極7（ワード線WL）の上部および側面を覆う酸化シリコン膜30をCVD法で形成した後、酸化シリコン膜30の上部に酸化シリコン膜10をCVD法で堆積し、続いて酸化シリコン膜10の上部に厚い酸化シリコン膜11を堆積した後、酸化シリコン膜11の表面を化学機械研磨法で平坦

化する。すなわち、本実施形態では、ゲート電極7（ワード線WL）の上部および側面を窒化シリコン膜30で覆い、次いでその上部に酸化シリコン膜10、11を形成する。

【0026】次に、図10に示すように、フォトレジスト膜（図示せず）をマスクにしてn型半導体領域（ソース、ドレイン）9の上部の酸化シリコン膜11、10をドライエッチングすることによってゲート電極7のスペースにコンタクトホール12、13を形成する。このドライエッチングは、窒化シリコンに比べて酸化シリコンのエッチング速度が大きくなるような条件で行い、ゲート電極7の上部の窒化シリコン膜8が深く削られないようにする。

【0027】本実施形態では、酸化シリコン膜10の下層に窒化シリコン膜30が形成されているので、上記のエッチングを行うとコンタクトホール12、13の底部の窒化シリコン膜30がエッチングのストッパとなる。

【0028】次に、図11に示すように、酸化シリコンに比べて窒化シリコンのエッチング速度が大きくなるような条件でコンタクトホール12、13の底部の窒化シリコン膜30を除去し、n型半導体領域（ソース、ドレイン）9を露出させる。

【0029】このように、本実施形態では、酸化シリコン膜10の下層の窒化シリコン膜30をエッチングのストッパに用いてコンタクトホール12、13を形成し、その後、コンタクトホール12、13の底部の窒化シリコン膜30を除去するので、コンタクトホール12、13を形成する際のエッチングでn型半導体領域（ソース、ドレイン）9や素子分離溝2が深く削れるのを防止することができ、SACプロセスのプロセスマージンを向上させることができる。

【0030】その後の工程（サイドウォールスペース14aの形成、プラグ15の埋め込みなど）は前記実施の形態1と同じである。

【0031】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0032】前記実施の形態では、DRAMに適用した場合について説明したが、これに限定されるものではなく、SACプロセスを用いた微細なMISFETの形成に広く適用することができる。

【0033】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0034】本発明によれば、MISFETによって構成される半導体集積回路装置の高集積化を推進することができる。また、本発明によれば、MISFETによって構成される半導体集積回路装置の高性能化を推進する

ことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図8】本発明の実施の形態2である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の実施の形態2である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図10】本発明の実施の形態2である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図11】本発明の実施の形態2である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

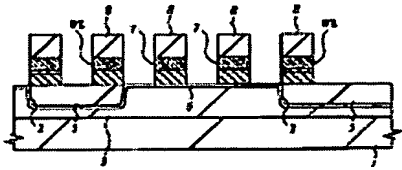
- 1 半導体基板
- 2 素子分離溝
- 3 n型ウエル
- 5 酸化シリコン膜
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 窒化シリコン膜
- 9 n型半導体領域（ソース、ドレイン）
- 10、11 酸化シリコン膜
- 12、13 コンタクトホール
- 14 酸化シリコン膜
- 14a サイドウォールスペース
- 15 プラグ
- 16、17 酸化シリコン膜
- 18 スルーホール
- 19 プラグ
- 20 窒化シリコン膜
- 21 酸化シリコン膜
- 22 溝
- 23 下部電極
- 24 容量絶縁膜
- 25 上部電極
- 30 窒化シリコン膜
- C 情報蓄積用容量素子
- Qs メモリセル選択用MISFET

BEST AVAILABLE COPY

WL ワード線

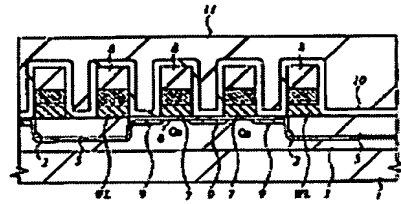
【図1】

図 1



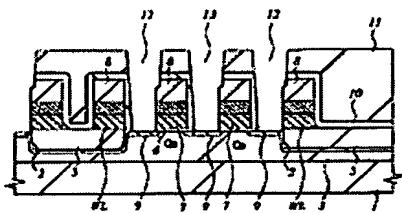
【図2】

図 2



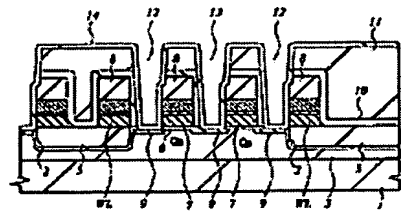
【図3】

図 3



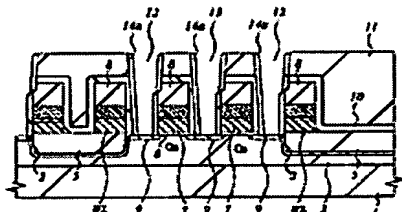
【図4】

図 4



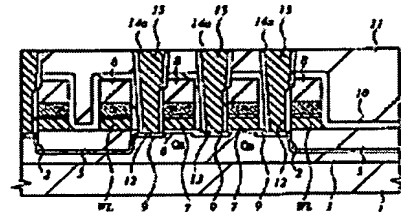
【図5】

図 5



【図6】

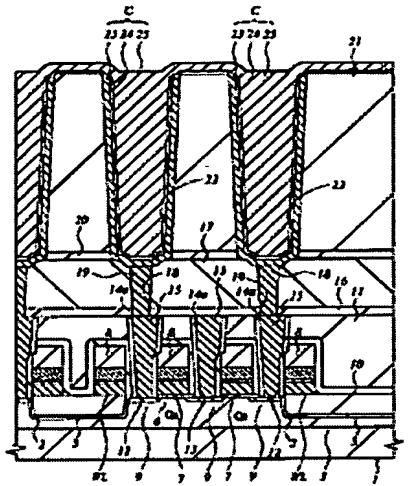
図 6



BEST AVAILABLE COPY

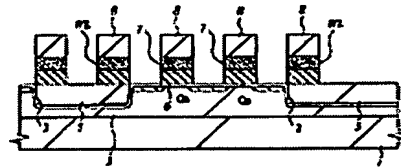
【図 7】

図 7



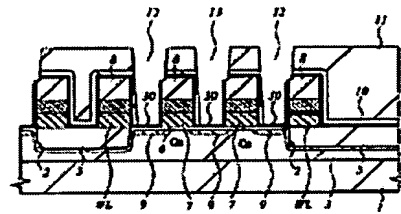
【図 8】

図 8



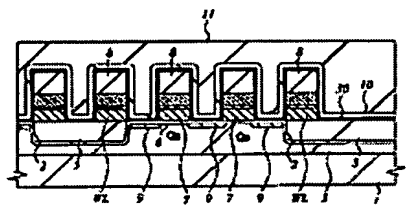
【図 10】

図 10



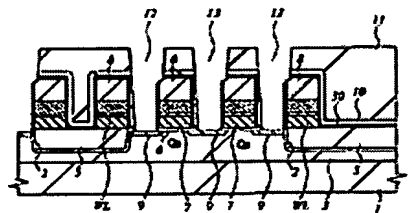
【図 9】

図 9



【図 11】

図 11



BEST AVAILABLE COPY

フロントページの続き

Fターム (参考) 4M104 BB01 BB18 BB30 BB33 CC05
DD04 DD08 DD17 EE09 EE12
EE17 GG16 HH14
5F033 JJ04 NN02 QQ09 QQ37 RR04
RR06 TT07 VV16
5F083 AD24 AD45 AD48 AD49 GA03
GA06 JA06 JA39 JA40 MA06
MA17 NA01 PR29 PR40

BEST AVAILABLE COPY